

Docket No.: 60188-618

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
Hirokuni FUJIYAMA, et al. :
Serial No.: : Group Art Unit:
Filed: June 25, 2003 : Examiner:
For: OFFSET CONTROL CIRCUIT :

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

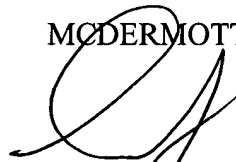
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2002-185363, filed June 25, 2002

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:prg
Facsimile: (202) 756-8087
Date: June 25, 2003

日本国特許庁
JAPAN PATENT OFFICE

60188-618
Fujiyama et al.
June 25, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 6月25日

出願番号

Application Number:

特願2002-185363

[ST.10/C]:

[JP2002-185363]

出願人

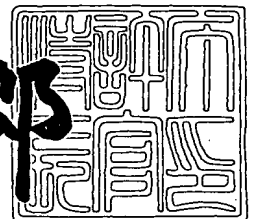
Applicant(s):

松下電器産業株式会社

2003年 1月17日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3106901

【書類名】 特許願
【整理番号】 2037640018
【提出日】 平成14年 6月25日
【あて先】 特許庁長官殿
【国際特許分類】 H03F 3/187
H03F 3/45

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

【氏名】 藤山 博邦

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

【氏名】 森江 隆史

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100078282

【弁理士】

【氏名又は名称】 山本 秀策

【選任した代理人】

【識別番号】 100062409

【弁理士】

【氏名又は名称】 安村 高明

【選任した代理人】

【識別番号】 100107489

【弁理士】

【氏名又は名称】 大塩 竹志

【手数料の表示】

【予納台帳番号】 001878

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0206122

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 オフセット制御回路

【特許請求の範囲】

【請求項 1】 入力電圧に応じた出力電圧のオフセット量を調整するオフセット制御回路において、

一対の差動電圧入力端子および一対の差動電流出力端子を有し、該一対の差動電圧入力端子から入力される一対の差動入力電圧の電位差に応じた一対の差動出力電流を生成して該一対の差動電流出力端子からそれぞれ出力する電圧電流変換部と、

該一対の差動電圧出力端子のそれぞれがそれぞれに接続された一対の差動端子を有し、該一対の差動端子間の電位差をこれに比例する差動電流に変換する電流電圧変換部と、

該一対の差動電流出力端子のそれぞれがそれぞれに接続された一対のオフセット調整電流出力端子、および二つ以上のオフセット調整電流制御端子を有し、該オフセット調整電流制御端子から入力されるオフセット調整電流制御信号に制御されて、一対のオフセット調整電流をそれぞれ生成して、該一対のオフセット調整電流出力端子からそれぞれ出力するオフセット調整電流生成部とを備えたオフセット制御回路。

【請求項 2】 前記電圧電流変換部は、

前記一対の差動電流出力端子のそれぞれがそれぞれに接続された一対のバイアス電流源と、

該一対の差動電流出力端子のそれぞれが各第 1 駆動端子にそれぞれ接続され、各ゲートが制御端子に共通接続された一対の第 1 トランジスタと、

該一対の第 1 トランジスタの各第 2 駆動端子がそれぞれ、各第 1 駆動端子にそれぞれ接続され、その各ゲートがそれぞれ、前記一対の差動電圧入力端子にそれぞれ接続され、各第 2 駆動端子が基準電位供給点にそれぞれ接続された一対の第 2 トランジスタとを有する請求項 1 記載のオフセット制御回路。

【請求項 3】 入力電圧に応じた出力電圧のオフセット量を調整するオフセット制御回路において、

一对の差動電圧入力端子および一对の差動電流出力端子を有し、該一对の差動電流出力端子のそれぞれがそれぞれ接続された一对のバイアス電流源、該一对の差動電流出力端子のそれぞれが各第 1 駆動端子にそれぞれ接続され、その各ゲートがそれぞれ各制御端子にそれぞれ接続された一对の第 1 トランジスタおよび、該一对の第 1 トランジスタの各第 2 駆動端子がそれぞれ各第 1 駆動端子にそれぞれ接続され、その各ゲートがそれぞれ一对の差動電圧入力端子にそれぞれ接続され、各第 2 駆動端子が基準電位供給点にそれぞれ接続された一对の第 2 トランジスタとを有し、該一对の差動電圧入力端子から入力される一对の差動入力電圧の電位差に応じた一对の差動出力電流を生成して該一对の差動電流出力端子からそれぞれ出力する電圧電流変換部と、

該一对の差動電圧出力端子のそれぞれがそれぞれ接続された一对の差動端子を有し、該一对の差動端子間の電位差をこれに比例する差動電流に変換する電流電圧変換部と、

該一对の第 2 トランジスタの各第 1 駆動端子がそれぞれ接続された一对のオフセット調整電流出力端子、および二つ以上のオフセット調整電流制御端子を有し、該オフセット調整電流制御端子から入力されるオフセット調整電流制御信号に制御されて、一对のオフセット調整電流をそれぞれ生成して、該一对のオフセット調整電流出力端子からそれぞれ出力するオフセット調整電流生成部とを備えたオフセット制御回路。

【請求項 4】 前記電圧電流変換部は、

前記一对の差動電流出力端子のそれぞれがそれぞれ接続された一对のバイアス電流源と、

該一对の差動電流出力端子のそれぞれが各第 1 駆動端子にそれぞれ接続され、その各ゲートが前記一对の差動電圧入力端子にそれぞれ接続された一对の第 2 トランジスタと、

該一对の第 2 トランジスタの各第 2 駆動端子が各第 1 駆動端子にそれぞれ接続され、その各ゲートが制御端子に共通接続され、各第 2 駆動端子が基準電位供給点にそれぞれ接続された一对の第 1 トランジスタと、

該一对の第 2 トランジスタの各第 2 駆動端子間に接続された所定抵抗値の抵抗

手段とを有する請求項 1 記載のオフセット制御回路。

【請求項 5】 前記電圧電流変換部は、

前記一对の差動電流出力端子のそれぞれがそれぞれ接続された一对のバイアス電流源と、

該一对の差動電流出力端子のそれぞれが各第 1 駆動端子にそれぞれ接続され、その各ゲートがそれぞれ前記一对の差動電圧入力端子にそれぞれ接続され、各第 2 駆動端子が基準電位供給点にそれぞれ接続された一对のトランジスタとを有する請求項 1 記載のオフセット制御回路。

【請求項 6】 前記電流電圧変換部は、前記一对の差動端子の間に接続された所定抵抗値の抵抗手段である請求項 1 または 3 記載のオフセット制御回路。

【請求項 7】 前記電流電圧変換部は、

前記一对の差動端子のそれぞれが各第 1 駆動端子に接続され、その各ゲートが前記入出力電流制御端子に共通接続された一对の第 3 トランジスタと、

該一对の第 3 トランジスタの各第 2 駆動端子がそれぞれ、各第 1 駆動端子にそれぞれ接続され、その各ゲートがそれぞれ該一对の差動端子にそれぞれ接続され、各第 2 駆動端子が基準電位供給点にそれぞれ接続された一对の第 4 トランジスタとを有した請求項 1 または 3 記載のオフセット制御回路。

【請求項 8】 前記電流電圧変換部は、前記一对の差動端子の間に接続された第 5 トランジスタであり、該第 5 トランジスタのゲートに入出力電流制御端子が接続された請求項 1 または 3 記載のオフセット制御回路。

【請求項 9】 前記オフセット調整電流生成部は、

電流源と、

該電流源に各第 2 駆動端子がそれぞれ接続され、各ゲートに二つの前記オフセット調整電流制御端子がそれぞれ接続され、各第 1 駆動端子に前記一对のオフセット調整電流出力端子がそれぞれ接続された一对の第 6 トランジスタとを有する請求項 1 または 3 記載のオフセット制御回路。

【請求項 10】 前記オフセット調整電流生成部は、 n (n は自然数) 個のサブオフセット調整電流生成部を有し、

各サブオフセット調整電流生成部はそれぞれ、

nビットからなるレジスタ信号のうち重複しない何れかの1ビットの信号が入力されるオフセット調整電流制御端子と、

電流源と、

該電流源に各第2駆動端子がそれぞれ接続され、該オフセット調整電流制御端子が各ゲート的一方に接続されると共に該各ゲートの他方にインバータを介して接続され、各第1駆動端子に前記一对の該オフセット調整電流出力端子がそれぞれ接続された一对の第7トランジスタとを有し、

該サブオフセット調整電流生成部にて生成された一对のサブオフセット調整電流が、それぞれ、該一对のオフセット調整電流出力端子のそれぞれに供給される請求項1または3記載のオフセット調整回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、入力電圧に対応した出力電圧に調整するオフセット制御回路に関する。

【0002】

【従来の技術】

従来、例えば演算増幅器の入出力に含まれるオフセット量を調整するために、図14に示すようなオフセット制御回路が用いられている。

【0003】

図14において、オフセット制御回路200は、演算増幅器201（オペアンプ）の出力端に抵抗R1、R2および可変電圧発生源202が直列に接続され、抵抗R1、R2の接続点が演算増幅器201の－側入力端子に接続されて構成されている。演算増幅器201の＋側入力端子には入力電圧VIN＋が入力され、その出力端子からは出力電圧VOが出力される。

【0004】

ここで、演算増幅器201の入力電圧VINにオフセット電圧を付加して出力電圧VOを生成するために、可変電圧発生源202からの出力電圧V2を変化自在に構成している。この演算増幅器201の－側入力端子に印加される入力電圧

V_1 (V_{IN-}) は、演算増幅器 201 の特性から、+側入力端子への入力電圧 V_{IN+} と同じ電圧値になる。演算増幅器 201 からの出力電圧信号 V_O は、抵抗 R_1 および R_2 、入力電圧 V_{IN+} および出力電圧 V_2 によって決定される。このため、演算増幅器 201 からの出力電圧 V_O は、可変電圧発生源 2 によりその出力電圧 V_2 を調整することによって、入力電圧 V_{IN} に対するオフセット量を調整して出力させることができる。

【0005】

【発明が解決しようとする課題】

しかしながら、上記従来のオフセット制御回路 200 では、演算増幅器 201 を用いているため、高速動作には不向きである。また、演算増幅器 201 は、通常、使用する信号帯域の 10 倍～100 倍の帯域でないと正常な動作ができない。このため、高速動作が可能な演算増幅器 201 を用いようとする、回路規模も大きくなってしまいう問題が生じる。

【0006】

また、上記従来のオフセット調整回路 200 は、演算増幅器 201 に一つの入力電圧 V_{IN+} が入力されるシングル構成であるため、入力電圧信号 V_{IN+} にノイズ成分などのような非理想要因の成分があった場合には、信号電圧の歪み特性に劣化が生じて出力電圧 V_O の品質が低下する。

【0007】

このような歪み特性が劣化することを防ぐために、オフセット制御回路に一对の差動入力電圧を入力して、両入力電圧間の電圧差に比例する差動出力電圧を生成させ、これを用いてオフセット調整を行うことが考えられる。実際に、高精度のアナログ信号処理を行う際には、信号電圧の歪特性が劣化することを防ぐために、差動出力電圧によるオフセット調整を行うことが必要である。

【0008】

しかしながら、上記従来のオフセット調整回路 200 を用いて、差動出力電圧によるオフセット調整を行うためには、オフセット調整回路 200 が二つ必要になり、回路規模が増加するという問題がある。

【0009】

本発明は、上記従来の問題を解決するもので、回路規模の増加がなく小型化でき、高速動作が可能で、しかも、信号歪み特性の劣化をも防ぐことができるオフセット調整回路を提供することを目的とする。

【0010】

【課題を解決するための手段】

本発明のオフセット制御回路は、入力電圧に応じた出力電圧のオフセット量を調整するオフセット制御回路において、一对の差動電圧入力端子および一对の差動電流出力端子を有し、該一对の差動電圧入力端子から入力される一对の差動入力電圧の電位差に応じた一对の差動出力電流を生成して該一对の差動電流出力端子からそれぞれ出力する電圧電流変換部と、該一对の差動電圧出力端子のそれぞれがそれぞれに接続された一对の差動端子を有し、該一对の差動端子間の電位差をこれに比例する差動電流に変換する電流電圧変換部と、該一对の差動電流出力端子のそれぞれがそれぞれに接続された一对のオフセット調整電流出力端子、および二つ以上のオフセット調整電流制御端子を有し、該オフセット調整電流制御端子から入力されるオフセット調整電流制御信号に制御されて、一对のオフセット調整電流をそれぞれ生成して、該一对のオフセット調整電流出力端子からそれぞれ出力するオフセット調整電流生成部とを備えたものであり、そのことにより上記目的が達成される。

【0011】

また、好ましくは、本発明のオフセット制御回路における電圧電流変換部は、前記一对の差動電流出力端子のそれぞれがそれぞれに接続された一对のバイアス電流源と、該一对の差動電流出力端子のそれぞれが各第1駆動端子にそれぞれ接続され、各ゲートが制御端子に共通接続された一对の第1トランジスタと、該一对の第1トランジスタの各第2駆動端子がそれぞれ、各第1駆動端子にそれぞれ接続され、その各ゲートがそれぞれ、前記一对の差動電圧入力端子にそれぞれ接続され、各第2駆動端子が基準電位供給点にそれぞれ接続された一对の第2トランジスタとを有する。

【0012】

また、本発明のオフセット制御回路は、入力電圧に応じた出力電圧のオフセッ

ト量を調整するオフセット制御回路において、一对の差動電圧入力端子および一对の差動電流出力端子を有し、該一对の差動電流出力端子のそれぞれがそれぞれ接続された一对のバイアス電流源、該一对の差動電流出力端子のそれぞれが各第1駆動端子にそれぞれ接続され、その各ゲートがそれぞれ各制御端子にそれぞれ接続された一对の第1トランジスタおよび、該一对の第1トランジスタの各第2駆動端子がそれぞれ各第1駆動端子にそれぞれ接続され、その各ゲートがそれぞれ一对の差動電圧入力端子にそれぞれ接続され、各第2駆動端子が基準電位供給点にそれぞれ接続された一对の第2トランジスタとを有し、該一对の差動電圧入力端子から入力される一对の差動入力電圧の電位差に応じた一对の差動出力電流を生成して該一对の差動電流出力端子からそれぞれ出力する電圧電流変換部と、該一对の差動電圧出力端子のそれぞれがそれぞれ接続された一对の差動端子を有し、該一对の差動端子間の電位差をこれに比例する差動電流に変換する電流電圧変換部と、該一对の第2トランジスタの各第1駆動端子がそれぞれ接続された一对のオフセット調整電流出力端子、および二つ以上のオフセット調整電流制御端子を有し、該オフセット調整電流制御端子から入力されるオフセット調整電流制御信号に制御されて、一对のオフセット調整電流をそれぞれ生成して、該一对のオフセット調整電流出力端子からそれぞれ出力するオフセット調整電流生成部とを備えており、そのことにより上記目的が達成される。

【 0 0 1 3 】

さらに、好ましくは、本発明のオフセット制御回路における電圧電流変換部は、前記一对の差動電流出力端子のそれぞれがそれぞれ接続された一对のバイアス電流源と、該一对の差動電流出力端子のそれぞれが各第1駆動端子にそれぞれ接続され、その各ゲートが前記一对の差動電圧入力端子にそれぞれ接続された一对の第2トランジスタと、該一对の第2トランジスタの各第2駆動端子が各第1駆動端子にそれぞれ接続され、その各ゲートが制御端子に共通接続され、各第2駆動端子が基準電位供給点にそれぞれ接続された一对の第1トランジスタと、該一对の第2トランジスタの各第2駆動端子間に接続された所定抵抗値の抵抗手段とを有する。

【 0 0 1 4 】

さらに、好ましくは、本発明のオフセット制御回路における電圧電流変換部は、前記一对の差動電流出力端子のそれぞれがそれぞれ接続された一对のバイアス電流源と、該一对の差動電流出力端子のそれぞれが各第1駆動端子にそれぞれ接続され、その各ゲートがそれぞれ前記一对の差動電圧入力端子にそれぞれ接続され、各第2駆動端子が基準電位供給点にそれぞれ接続された一对のトランジスタとを有する。

【0015】

さらに、好ましくは、本発明のオフセット制御回路における電流電圧変換部は、前記一对の差動端子の間に接続された所定抵抗値の抵抗手段である。

【0016】

さらに、好ましくは、本発明のオフセット制御回路における電流電圧変換部は、前記一对の差動端子のそれぞれが各第1駆動端子に接続され、その各ゲートが前記入出力電流制御端子に共通接続された一对の第3トランジスタと、該一对の第3トランジスタの各第2駆動端子がそれぞれ、各第1駆動端子にそれぞれ接続され、その各ゲートがそれぞれ該一对の差動端子にそれぞれ接続され、各第2駆動端子が基準電位供給点にそれぞれ接続された一对の第4トランジスタとを有する。

【0017】

さらに、好ましくは、本発明のオフセット制御回路における電流電圧変換部は、前記一对の差動端子の間に接続された第5トランジスタであり、該第5トランジスタのゲートに入出力電流制御端子が接続される。

【0018】

さらに、好ましくは、本発明のオフセット制御回路におけるオフセット調整電流生成部は、電流源と、該電流源に各第2駆動端子がそれぞれ接続され、各ゲートに二つの前記オフセット調整電流制御端子がそれぞれ接続され、各第1駆動端子に前記一对のオフセット調整電流出力端子がそれぞれ接続された一对の第6トランジスタとを有する。

【0019】

さらに、好ましくは、本発明のオフセット制御回路におけるオフセット調整電

流生成部は、 n (n は自然数) 個のサブオフセット調整電流生成部を有し、各サブオフセット調整電流生成部はそれぞれ、 n ビットからなるレジスタ信号のうち重複しない何れかの1ビットの信号が入力されるオフセット調整電流制御端子と、電流源と、該電流源に各第2駆動端子がそれぞれ接続され、該オフセット調整電流制御端子が各ゲート的一方に接続されると共に該各ゲートの他方にインバータを介して接続され、各第1駆動端子に前記一对の該オフセット調整電流出力端子がそれぞれ接続された一对の第7トランジスタとを有し、該サブオフセット調整電流生成部にて生成された一对のサブオフセット調整電流が、それぞれ、該一对のオフセット調整電流出力端子のそれぞれに供給される。

【0020】

上記構成により、以下に、本発明の作用について説明する。

【0021】

本発明にあっては、差動入力電圧信号 (V_{IN+} 、 V_{IN-}) の電位差に比例する差動出力電流 (I_+ 、 I_-) が出力される電圧電流変換部の差動電流出力端子と、オフセット調整電流 (I_{ofs+} 、 I_{ofs-}) が出力されるオフセット調整電流生成部のオフセット調整電流出力端子と、差動端子間の電位差に比例する差動入出力電流 (I_r) が入出力される電流電圧変換部の差動端子とが接続されているため、差動端子に接続された差動電圧出力端子からは、差動出力電流とオフセット調整電流との加算電流に比例した差動出力電圧 (V_{O+} 、 V_{O-}) が出力される。よって、差動入力電圧 (V_{IN+} 、 V_{IN-}) にオフセット電圧 (V_{off+} 、 V_{off-}) が含まれていても、そのオフセット電圧をオフセット調整電流 (I_{ofs+} 、 I_{ofs-}) によって調整することができ、差動入力電圧 (V_{IN+} 、 V_{IN-}) にオフセット電圧に応じたオフセット調整信号を加えて差動出力電圧 (V_{O+} 、 V_{O-}) を生成することができる。

【0022】

したがって、差動入力電圧へのオフセット調整電圧の加算は、差動出力電流 (I_+ 、 I_-) およびオフセット調整電流 (I_{ofs+} 、 I_{ofs-}) に変換した後に電流加算により行うため、オフセット電圧調整を高速に行うことが可能となる。

【 0 0 2 3 】

また、従来のオフセット制御回路のように演算増幅器（オペアンプ）を必要としないため、回路規模の小型化を図ることができ、また、差動信号処理を行うため、ノイズに強く、信号の歪みも生じにくい。

【 0 0 2 4 】

【発明の実施の形態】

以下に、本発明のオフセット制御回路の実施形態 1 ～ 1 0 について、図面を参照しながら説明する。

（実施形態 1）

図 1 は、本発明のオフセット制御回路の実施形態 1 における構成例を示すブロック図である。

【 0 0 2 5 】

図 1 において、このオフセット制御回路 1 は、電圧電流変換部 1 0 と、電圧電流変換部 1 0 の両出力端にそれぞれ接続されたオフセット調整電流生成部 1 1 と、電圧電流変換部 1 0 の両出力端にそれぞれ接続された電流電圧変換部 1 2 とを有している。

【 0 0 2 6 】

電圧電流変換部 1 0 は、一対の差動電圧入力端子 1 0 9 および 1 1 0 と、制御端子 1 1 1 と、一対の差動電流出力端子 1 0 5 および 1 0 6 とを有しており、各差動入力電圧 V_{IN+} および V_{IN-} それぞれが一対の差動電圧入力端子 1 0 9 および 1 1 0 にそれぞれに入力され、制御端子 1 1 1 に入力される制御信号によって制御されて、差動入力電圧 V_{IN+} および V_{IN-} にそれぞれ比例する差動出力電流 $I+$ および $I-$ をそれぞれ生成する。生成された差動出力電流 $I+$ および $I-$ はそれぞれ、一対の差動電流出力端子 1 0 5 および 1 0 6 からそれぞれ出力される。

【 0 0 2 7 】

この電圧電流変換部 1 0 の変換係数を G_m とすると、差動入力電圧 V_{IN+} および V_{IN-} と、差動出力電流 $I+$ および $I-$ との間にはそれぞれ、

$$I+ = G_m \times V_{IN+} \quad (式 1)$$

$$I_- = G_m \times V_{IN-} \quad (式2)$$

の関係式が成立する。

【0028】

オフセット調整電流生成部11は、一对のオフセット調整電流出力端子101および102と、オフセット調整電流制御端子103および104とを有しており、オフセット調整電流制御端子103および104にそれぞれ入力される制御信号によって制御されて、各オフセット調整電流 I_{ofs+} および I_{ofs-} がそれぞれ生成される。生成された各オフセット調整電流 I_{ofs+} および I_{ofs-} はそれぞれ、一对のオフセット調整電流出力端子対101および102からそれぞれ出力される。

【0029】

電流電圧変換部12は、一对の差動端子107および108と、入出力電流制御端子112とを有しており、一对の差動端子107および108間の電位差に比例する電流（差動入出力電流） I_r が流れるようになっている。電流電圧変換部12の差動端子107は、電圧電流変換部10の差動電流出力端子105とオフセット調整電流生成部11のオフセット調整電流出力端子101とに接続され、また同様に、電流電圧変換部12の差動端子108は、電圧電流変換部10の差動電流出力端子106とオフセット調整電流生成部11のオフセット調整電流出力端子102とに接続されている。これらの一对の差動端子107および108はそれぞれ、各差動出力電圧信号 V_{O-} および V_{O+} がそれぞれ出力される一对の差動電圧出力端子115および116にそれぞれ接続されている。

【0030】

このように構成された本実施形態1のオフセット制御回路1において、電流電圧変換部12に流れる差動入出力電流を I_r とし、差動端子108から差動端子107の方向に内部を流れる電流の向きを正とすると、差動端子107においては、

$$I_+ = I_r + I_{ofs+} \quad (式3)$$

という関係式が成立し、差動端子108においては、

$$I_- = -I_r + I_{ofs-} \quad (式4)$$

の関係式が成立する。

【0031】

上記(式3)および上記(式4)から、電流電圧変換部12の差動端子107および108間に流れる差動入出力電流 I_r を求めると、

$$I_r = (1/2) \times \{(I_+ - I_-) + (I_{ofs+} - I_{ofs-})\} \quad (式5)$$

$$= (1/2) \times \{(I_+ + I_{ofs+}) - (I_- + I_{ofs-})\} \quad (式6)$$

となる。上記差動入出力電流 I_r は、上記(式1)、上記(式2)および上記(式5)から、

$$I_r = (1/2) \times G_m (V_{IN+} - V_{IN-}) + (1/2) \times (I_{ofs+} - I_{ofs-}) \quad (式7)$$

となる。

【0032】

したがって、差動電圧出力端子116および115から出力される差動出力電圧($V_{O+} - V_{O-}$)は、電流電圧変換部12の変換係数を R とすると、

$$V_{O+} - V_{O-} = I_r \times R \quad (式8)$$

$$= \{(1/2) \times G_m (V_{IN+} - V_{IN-}) + (1/2) \times (I_{ofs+} - I_{ofs-})\} \times R \quad (式9)$$

となる。

【0033】

次に、差動電圧入力端子109および110からそれぞれ入力される差動入力電圧信号 V_{IN+} および V_{IN-} にオフセット電圧が含まれている場合を考える。差動入力電圧 V_{IN+} および V_{IN-} のオフセット電圧をそれぞれ V_{off} とすると、電圧電流変換部10から出力される差動出力電流 I_+ および I_- はそれぞれ、

$$I_+ = G_m \times (V_{IN+} + V_{off}) \quad (式10)$$

$$I_- = G_m \times (V_{IN-} - V_{off}) \quad (式11)$$

となる。

【0034】

したがって、オフセット制御回路1において、電流電圧変換部12内に流れる差動入出力電流の I_r は、上記(式6)、上記(式10)および上記(式11)から、

$$I_r = (1/2) \times \{ (G_m \times (V_{IN+} + V_{off}) + I_{ofs+}) - G_m \times (V_{IN-} - V_{off}) + I_{ofs-} \} \quad (式12)$$

となる。これにより、差動出力電圧($V_{O+} - V_{O-}$)は、

$$V_{O+} - V_{O-} = (1/2) \times R \times G_m \times (V_{IN+} - V_{IN-}) + (1/2) \times R \times \{ (G_m \times V_{off} + I_{ofs+}) - (-G_m \times V_{off} + I_{ofs-}) \} \quad (式13)$$

となる。

【0035】

上記(式13)から、オフセット制御回路1の差動出力電圧 V_{O+} および V_{O-} は、差動入力電圧 V_{IN+} および V_{IN-} のオフセット電圧 $G_m \times V_{off}$ が、オフセット調整電流 I_{ofs+} および I_{ofs-} により調整されていることが判る。

【0036】

以上のように、本実施形態1によれば、差動信号処理を基本とするため、入力電圧とオフセット電圧の加算に従来のような演算増幅器201を必要としない。入力電圧に対するオフセット電圧の加算は、入力電圧、オフセット電圧をそれぞれ電流に変換した後に、電流加算によって実現されるため、非常に高速にオフセット電圧の調整を行うことができる。

【0037】

また、従来の演算増幅器201を用いたオフセット加算方式では、演算増幅器201の帯域を入力信号帯域よりも1桁～2桁程度高くする必要があり、回路規模の増加、消費電力の増加、処理速度上限の低下などが問題となるが、本実施形

態1によれば、より縮小された回路規模によって、より高速なオフセット加算処理を行うことができる。

【0038】

さらに、本実施形態1のオフセット制御回路1は、差動信号処理を基本とするため、ノイズに強く、また、信号の歪みも生じにくい。従来のオフセット制御回路200を用いた場合でも、オフセット制御回路200を2系統設けることにより、差動信号処理を行うことができるが、これには2倍の回路規模と消費電力とが必要である。これに対して、本実施形態1のオフセット制御回路1では、より縮小された回路規模によって、差動信号を用いたオフセット調整処理を行うことができる。

(実施形態2)

本実施形態2では、電圧電流変換部10の一具体例として電圧電流変換回路10Aを用いてオフセット制御回路2を実現する場合である。

【0039】

図2は、図1の電圧電流変換部10の一具体例を示す回路図である。

【0040】

図2において、電圧電流変換部10Aは、一対のバイアス電流源301および302と、これらにそれぞれ接続された一対の第1トランジスタM3およびM4と、これらにそれぞれ接続された一対の第2トランジスタM1およびM2とを有している。

【0041】

バイアス電流源301および302はそれぞれ、差動電流出力端子105および106にそれぞれ接続されており、バイアス電流 I_b がそれぞれ流れるようになっている。

【0042】

第1トランジスタM3およびM4はそれぞれの各ゲートが制御端子111と共通接続されており、その各ゲートに制御電圧 V_{bias} が入力される。また、第1トランジスタM3およびM4は、それぞれ各ドレインが差動電流出力端子105および106にそれぞれ接続されており、各ドレインが差動電流出力端子10

5 および 106 からそれぞれ差動電流 $I+$ および $I-$ がそれぞれ出力される。

【0043】

第2トランジスタM1およびM2は、それぞれの各ゲートが差動電圧入力端子109および110にそれぞれ接続されており、差動入力電圧信号 V_{IN+} および V_{IN-} がそれぞれ入力される。また、第2トランジスタM1およびM2は、それぞれの各ドレインが第1トランジスタM3およびM4の各ソースにそれぞれ接続され、各ソースがそれぞれ接地されている。

【0044】

上記構成により、電圧電流変換回路10Aにおいて、第1トランジスタM3およびM4はそれぞれソースフォロワ回路として動作し、その各ゲートに制御電圧 V_{bias} がそれぞれ入力され、各第1トランジスタM3およびM4によって、しきい値電圧 V_{th} 分程度低くなった各電圧が各ソースからそれぞれ出力される。これによって、第2トランジスタM1およびM2の各ドレイン電圧が一定に保たれ、第2トランジスタM1およびM2のドレイン-ソース間電圧 V_{ds} はほぼ一定に保たれる。

【0045】

第2トランジスタM1およびM2はそれぞれ、非飽和領域で動作するようにバイアスされている。このとき、両第2トランジスタM1およびM2に流れるドレイン電流 I_{DS1} および I_{DS2} はそれぞれ、

$$I_{DS1} = \beta \times (V_{IN+} - V_{th} - V_{ds} / 2) \times V_{ds} \quad (\text{式14})$$

$$I_{DS2} = \beta \times (V_{IN-} - V_{th} - V_{ds} / 2) \times V_{ds} \quad (\text{式15})$$

(但し、 β は第2トランジスタM1およびM2のトランスコンダクタンス、 V_{ds} は第2トランジスタM1およびM2のドレイン-ソース間電圧とする。)と表される。

【0046】

ここで、本実施形態2の電圧電流変換部10Aにおいて、差動出力電流($I+ - I-$)は $I_{DS1} - I_{DS2}$ に等しく、この差動出力電流が電流電圧変換部

12に流れ込む。したがって、

$$\begin{aligned} I_+ - I_- &= I_{DS1} - I_{DS2} \\ &= \beta \times (V_{IN+} - V_{IN-}) \times V_{ds} \end{aligned} \quad (\text{式16})$$

となる。

【0047】

上記（式16）から、差動出力電流 $I_+ - I_-$ は差動入力電圧 $V_{IN+} - V_{IN-}$ に比例し、その比例係数（変換係数） G_m は $\beta \times V_{ds}$ となることが判る。

【0048】

以上のように、本実施形態2の電圧電流変換回路10Aは、差動電圧電流変換回路として動作する。よって、これを図1の電圧電流変換部10に適用することによって、本実施形態2のオフセット制御回路2を実現することができる。この電圧電流変換回路10Aは、第2トランジスタM1およびM2が非飽和領域で動作するようにバイアスすることにより、信号の歪みを少なくすることができ、この電圧電流変換回路10Aを用いてオフセット制御回路2を構成することによって、より歪み特性の劣化を防ぐことができる。なお、電圧電流変換部10を図2に示すような回路構成としても、上記実施形態1で説明したように、オフセット制御回路1における高速動作および小面積化が可能であるという効果は何ら失われることはない。

【0049】

また、本実施形態2の電圧電流変換回路10Aでは、制御電圧 V_{bias} を調整することによって、上記（式13）において変換係数 G_m を調整することができる。これは、上記（式13）における入出力電圧比、即ち、差動入力電圧 V_{IN+} および V_{IN-} の係数である $(1/2) \times R \times G_m$ を制御できるということを意味する。したがって、本実施形態2のオフセット制御回路2は、オフセット調整機能のみならず、信号の増幅率を変化させる可変増幅器としても機能させることができる。

【0050】

さらに、本実施形態 2 の電圧電流変換回路 10 A において、第 2 トランジスタ M1 および M2 のドレイン電圧をより精度よく固定することもできる。例えば、第 2 トランジスタ M1 および M2 のドレイン電圧が一定となるように、オペアンプ（演算増幅器）を用いて第 1 トランジスタ M3 および M4 のゲート電圧を制御することもできる。この場合に用いられるオペアンプは、必ずしも高精度である必要はないため、オペアンプの帯域が信号帯域の 10 倍程度であっても充分である。このように第 1 トランジスタ M3 および M4 のゲート電圧を制御するためのオペアンプを設けた構成としても、上記実施形態 1 で説明したように、オフセット制御回路 1 における高速動作および小面積化が可能であるという効果は何ら失われることはない。

（実施形態 3）

本実施形態 3 では、上記実施形態 2 のオフセット調整回路 2 における信号の歪みをさらに低減する場合である。

【0051】

図 3 は、本発明のオフセット制御回路の実施形態 3 における構成例を示す回路図である。

【0052】

図 3 において、オフセット制御回路 3 は、上記実施形態 2 のオフセット制御回路 2 において、オフセット調整電流生成部 12 のオフセット調整電流出力端子 101 および 102 がそれぞれ、第 1 トランジスタ M3 および M4 のドレインではなく、第 2 トランジスタ M1 および M2 のドレインにそれぞれ接続されることによって、上記実施形態 2 のオフセット調整回路 2 における信号の歪みをさらに低減することができる。

【0053】

上記構成により、本実施形態 3 のオフセット制御回路 3 について、差動入力電圧信号 V_{IN+} および V_{IN-} にオフセット電圧が含まれており、このオフセット電圧を除去するようにオフセット制御回路を動作させる場合について、上記実施形態 1, 2 のオフセット制御回路 1, 2 と比較してその動作を説明する。

【0054】

上記実施形態 1, 2 のオフセット制御回路 1, 2 では、第 2 トランジスタ M1 および M2、第 2 トランジスタ M3 および M4 が対称回路であるにも関わらず、差動入力電圧信号 V_{IN+} と V_{IN-} との間にオフセット電圧が重畳しているため、それぞれの回路に異なるバイアス電流が流れる。このような電流の非対称性は、第 1 トランジスタ M3 および M4 のドレインにおいて、オフセット調整電流生成部 11 からオフセット電圧（オフセット成分）を相殺するオフセット調整電流 I_{ofs+} および I_{ofs-} がそれぞれ加算されることによって相殺されるものの、第 2 トランジスタ M1 および M2、第 1 トランジスタ M3 および M4 が非対称な状態で動作するために、信号の歪みが発生しやすい。

【0055】

一方、本実施形態 3 のオフセット制御回路 3 では、オフセット調整電流生成部 11 からのオフセット調整電流 I_{ofs+} および I_{ofs-} が第 2 トランジスタ M1 および M2 のドレインにおいて差動出力電流 I_+ および I_- に加算されるため、この時点で電流の非対称性が解消され、第 1 トランジスタ M3 および M4 はバイアス電流 I_+ および I_- についても対称な差動回路として動作する。これによって、本実施形態 3 のオフセット調整回路 3 によれば、上記実施形態 1, 2 のオフセット制御回路 1, 2 に比べて、第 1 トランジスタ M3 および M4 で発生する信号の歪みをより小さく抑えることができる。

【0056】

さらに、本実施形態 3 のオフセット制御回路 3 では、第 2 トランジスタ M1 および M2 は非対称な状態で動作するものの、非飽和領域で動作しているために、バイアス電流値が異なっても、ソースドレイン間の電圧 V_{ds} が同じであれば、電圧電流特性はほとんど変わらない。したがって、オフセット制御回路 3 全体で発生する信号の歪みは、上記実施形態 1, 2 に比べて、さらに大きく低減させることが可能である。

【0057】

なお、オフセット制御回路 3 を図 3 に示すような回路構成としても、上記実施形態 1 で説明したように、オフセット制御回路 1 における高速動作および小面積化が可能であるという効果は何ら失われることはない。

(実施形態 4)

本実施形態 4 では、電圧電流変換部 1 0 の他の具体例として電圧電流変換回路 1 0 C を用いて、入出力ゲインを抵抗比によって制御するオフセット制御回路 4 を実現する場合である。

【 0 0 5 8 】

図 4 は、図 1 の電圧電流変換部 1 0 における他の具体例を示す回路図である。

【 0 0 5 9 】

図 4 において、電圧電流変換回路 1 0 C は、一対のバイアス電流源 3 0 1 および 3 0 2、一対の第 1 トランジスタ M 7 および M 8、一対の第 2 トランジスタ M 5 および M 6 がそれぞれ設けられており、バイアス電流源 3 0 1、第 1 トランジスタ M 7 および第 2 トランジスタ M 5 の直列回路とバイアス電流源 3 0 2、第 1 トランジスタ M 8 および第 2 トランジスタ M 6 の直列回路とが 2 系列配設されている。また、第 1 トランジスタ M 7 および第 2 トランジスタ M 5 の接続点と、第 1 トランジスタ M 8 および第 2 トランジスタ M 6 の接続点との間に抵抗器 R 3 が配設されている。

【 0 0 6 0 】

バイアス電流源 3 0 1 および 3 0 2 はそれぞれ差動電流出力端子 1 0 5 および 1 0 6 とそれぞれ接続されており、バイアス電流 I_b がそれぞれ流れるようになっている。

【 0 0 6 1 】

第 1 トランジスタ M 7 および M 8 の各ゲートはそれぞれ差動電圧入力端子 1 0 9 および 1 1 0 にそれぞれ接続されており、差動電圧入力端子 1 0 9 および 1 1 0 に差動入力電圧 V_{IN+} および V_{IN-} がそれぞれ入力される。また、第 1 トランジスタ M 7 および M 8 はそれぞれその各ドレインが差動電流出力端子 1 0 5 および 1 0 6 にそれぞれ接続され、その各ソース間に抵抗器 R 3 が接続されている。

【 0 0 6 2 】

第 2 トランジスタ M 5 および M 6 の各ゲートが制御端子 1 1 1 と共通接続されており、その制御端子 1 1 1 に制御電圧 V_{bias} が入力される。また、第 2 ト

ランジスタM5およびM6の各ドレインは第1ランジスタM7およびM8の各ソースにそれぞれ接続され、その各ソースはそれぞれ接地されている。

【0063】

以上のように構成された本実施形態4の電圧電流変換回路10Cにおいて、第1ランジスタM7およびM8はそれぞれソースフォロワ回路として動作し、第1ランジスタM7およびM8の各ゲートに入力される差動入力電圧信号 V_{IN+} および V_{IN-} に基づいて、しきい値電圧 V_{th} 分程度低くなった電圧が各ソースからそれぞれ出力されて抵抗器R3の両端に印加される。これによって、抵抗器R3には、 $(V_{IN+} - V_{IN-})$ の電位差が発生し、オームの法則により、 $(V_{IN+} - V_{IN-}) / R3$ の電流が発生する。

【0064】

したがって、本実施形態4の電圧電流変換回路10Cにおける電流変換係数 G_m は、およそ $1 / R3$ となり、差動出力電流 $(V_{IN+} - V_{IN-}) / R3$ が第1ランジスタM7およびM8を介して差動電流出力端子105および106から出力される。第2ランジスタM5およびM6は、第1ランジスタM7およびM8にそれぞれバイアス電流を与えるための回路として動作する。

【0065】

以上のように、本実施形態4の電圧電流変換回路10Cは、差動電圧電流変換回路として動作する。これを図1に示す電圧電流変換部10に適用することによって、オフセット制御回路4を実現することができる。この電圧電流変換部10は、電流電圧係数 G_m がおよそ $1 / R3$ であるため、オフセット制御回路4として動作させた場合の入出力電圧比、即ち、上記(式13)における差動入力電圧信号 V_{IN+} および V_{IN-} の変換係数である $(1/2) \times G_m \times R$ が、 $(1/2) \times (R / R3)$ となり、電流電圧変換部12の抵抗(変換係数)と、電圧電流変換部10の抵抗R3との比で決定されることが判る。したがって、本実施形態4のオフセット制御回路4は、入出力ゲインを抵抗比によって制御することができる。

【0066】

なお、電圧電流変換部10を図4に示すような回路構成としても、上記実施形

態 1 で説明したように、オフセット制御回路 1 における高速動作および小面積化が可能であるという効果は何ら失われることはない。

【 0 0 6 7 】

また、本実施形態 4 の電圧電流変換回路 1 0 C において、第 1 トランジスタ M 7 および M 8 のソース電位が第 1 トランジスタ M 7 および M 8 のゲート電位に一致するように、オペアンプを用いてフィードバックをかけることもできる。これによって、信号の歪みをさらに低減し、抵抗値による入出力ゲインの設定精度を高くすることができる。このように第 1 トランジスタ M 7 および M 8 のゲート電位およびソース電位を制御するためのオペアンプを設けた構成としても、上記実施形態 1 で説明したように、オフセット制御回路 1 における高速動作および小面積化が可能であるという効果は何ら失われることはない。

(実施形態 5)

本実施形態 5 では、電圧電流変換部 1 0 の更に他の具体例として電圧電流変換回路 1 0 D を用いて、極めて高速に動作させることができるオフセット制御回路 5 を実現する場合である。

【 0 0 6 8 】

図 5 は、図 1 の電圧電流変換部 1 0 における更に他の具体例を示す回路図である。

【 0 0 6 9 】

図 5 において、電圧電流変換回路 1 0 D は、一对のバイアス電流源 3 0 1 および 3 0 2、一对のトランジスタ M 9 および M 1 0 がそれぞれ設けられており、バイアス電流源 3 0 1 とトランジスタ M 9 の直列回路とバイアス電流源 3 0 2 とトランジスタ M 1 0 の直列回路とが 2 系列配設されている。

【 0 0 7 0 】

バイアス電流源 3 0 1 および 3 0 2 はそれぞれ、差動電流出力端子 1 0 5 および 1 0 6 にそれぞれ接続されており、バイアス電流 I_b がそれぞれ流れるようになっている。

【 0 0 7 1 】

トランジスタ M 9 および M 1 0 の各ゲートはそれぞれ差動電圧入力端子 1 0 9

および110にそれぞれ接続されており、各差動電圧入力端子109および110に差動入力電圧 V_{IN+} および V_{IN-} がそれぞれ入力される。また、トランジスタM9およびM10の各ドレインはそれぞれ差動電流出力端子105および106にそれぞれ接続され、トランジスタM9およびM10の各ソースはそれぞれ接地されている。

【0072】

このように構成された本実施形態5の電圧電流変換回路10Dにおいては、トランジスタ109および110の電圧電流変換特性に応じて、その各ゲートにそれぞれ入力される各差動入力電圧(V_{IN+} 、 V_{IN-})が電流に変換されて、各差動電流($I+$ 、 $I-$)として差動電流出力端子105および106からそれぞれ出力される。

【0073】

以上のように、本実施形態5の電圧電流変換回路10Dは差動電圧電流変換回路として動作する。したがって、これを図1に示す電圧電流変換部10として適用させることによって、本実施形態5のオフセット制御回路5を実現することができる。この電圧電流変換回路10Dは、差動電圧入力端子109および110と差動電流出力端子105および106との各間にはそれぞれ、トランジスタM9およびM10が存在するだけであるため、極めて高速に動作させることができる。したがって、本実施形態5のオフセット制御回路5は、極めて高速に動作させることができる。なお、図1に示す電圧電流変換部10を図5に示すような回路構成としても、上記実施形態1で説明したように、オフセット制御回路1における高速動作および小面積化が可能であるという効果は何ら失われることはない。

(実施形態6)

本実施形態6では、電流電圧変換部12の一具体例として電流電圧変換回路12Aを用いて、オフセット制御回路6を実現する場合である。

【0074】

図6は、図1の電流電圧変換部12における一具体例を示す回路図である。

【0075】

図 6 において、電流電圧変換回路 1 2 A は差動端子 1 0 7 および 1 0 8 間に抵抗器 R 4 が設けられている。

【 0 0 7 6 】

このように構成された本実施形態 6 の電流電圧変換回路 1 2 A において、抵抗器 R 4 は、その抵抗器 R 4 に流れる電流（差動入出力電流 I_r ）に比例する電圧をその両端子（差動端子）1 0 7 および 1 0 8 間に発生させることができる。したがって、これを図 1 に示す電流電圧変換部 1 2 として適用することによって、本実施形態 6 のオフセット制御回路 6 を実現することができる。

【 0 0 7 7 】

なお、図 1（または図 3）の電流電圧変換部 1 2 を図 6 に示すような構成としても、上記実施形態 1（または上記実施形態 3）で説明したように、オフセット制御回路 1, 3 における高速動作および小面積化が可能であるという効果は何ら失われることはない。

（実施形態 7）

本実施形態 7 では、電流電圧変換部 1 2 の他の具体例として電流電圧変換回路 1 2 B を用いて、オフセット制御回路 7 を実現する場合である。

【 0 0 7 8 】

図 7 は、図 1 の電流電圧変換部 1 2 における他の具体例を示す回路図である。

【 0 0 7 9 】

図 7 において、電流電圧変換回路 1 2 B は、一対の差動端子 1 0 7 および 1 0 8、一対の第 1 トランジスタ M 1 3 および M 1 4、一対の第 2 トランジスタ M 1 1 および M 1 2 がそれぞれ設けられている。

【 0 0 8 0 】

これらの差動端子 1 0 7、第 1 トランジスタ M 1 3 および第 2 トランジスタ M 1 1 と、差動端子 1 0 8、第 1 トランジスタ M 1 4 および第 2 トランジスタ M 1 2 とはそれぞれ直列に接続されている。また、第 1 トランジスタ M 1 3 および M 1 4 の各ゲートは、入出力電流制御端子 1 1 2 に共通接続されており、入出力電流制御端子 1 1 2 に制御電圧 V_{bias2} が入力される。また、第 2 トランジスタ M 1 1 および M 1 2 の各ゲートはそれぞれ、差動端子 1 0 7 および 1 0 8 にそ

れぞれ接続されており、差動入出力電流 I_r に比例した電圧が差動端子 1 0 7 および 1 0 8 に印加される。

【0081】

このように構成された本実施形態 7 の電流電圧変換回路 1 2 B において、第 1 トランジスタ M 1 3 および M 1 4、第 2 トランジスタ M 1 1 および M 1 2 の動作は、図 3 に示す電圧電流変換部 1 0 B の第 1 トランジスタ M 3 および M 4、第 2 トランジスタ M 1 および M 2 と同様に動作する。即ち、第 1 トランジスタ M 1 3 および M 1 4 はそれぞれソースフォロワ回路として動作し、第 1 トランジスタ M 1 3 および M 1 4 の各ゲートに入力される制御電圧 V_{bias2} に基づいて、しきい値電圧 V_{th} 分程度低くなった電圧が各ソースから出力される。これによって、第 2 トランジスタ M 1 1 および M 1 2 のドレイン電圧が一定に保たれ、第 2 トランジスタ M 1 1 および M 1 2 のドレイン-ソース間電圧 V_{ds} はほぼ一定に保たれる。

【0082】

第 2 トランジスタ M 1 3 および M 1 4 はそれぞれ非飽和領域で動作するようにバイアスされており、その各ゲートに印加された電圧に比例した電流が差動端子 1 0 7 および 1 0 8 から入出力される。

【0083】

したがって、本実施形態 7 の電流電圧変換部 1 2 は、差動端子 1 0 7 および 1 0 8 間に印加される電圧に比例する差動入出力電流 I_r を差動端子 1 0 7 および 1 0 8 から入出力するように動作し、換言すると、差動端子 1 0 7 および 1 0 8 に入出力される差動入出力電流に比例した電圧を差動端子 1 0 7 および 1 0 8 間に発生させるように動作する。

【0084】

以上のように、本実施形態 7 の電流電圧変換回路 1 2 B は差動電流電圧変換回路として動作する。したがって、これを図 1（または図 3）に示す電流電圧変換部 1 2 に適用することによって、オフセット制御回路 7 を実現することができる。本実施形態 7 の電流電圧変換回路 1 2 B では、制御電圧 V_{bias2} を調整することによって、上記（式 1 3）における電流電圧変換係数 R を調整することが

できる。よって、本実施形態7のオフセット制御回路7は、オフセット調整機能のみならず、信号の増幅率を変化させることができる可変増幅器としても機能させることができる。なお、図1（または図3）に示す電流電圧変換部12を図7に示すような回路構成としても、上記実施形態1（または上記実施形態3）で説明したように、オフセット制御回路1, 3における高速動作および小面積化が可能であるという効果は何ら失われることはない。

（実施形態8）

本実施形態8では、電流電圧変換部12の更に他の具体例として電流電圧変換回路12Cを用いて、オフセット制御回路8を実現する場合である。

【0085】

図8は、図1の電流電圧変換部12における更に他の具体例を示す回路図である。

【0086】

図8において、電流電圧変換回路12Cとして、差動端子107および108間にトランジスタM15が設けられている。このトランジスタM15のゲートは、入出力電流制御端子112に接続されており、入出力電流制御端子112に制御電圧Vbias2が入力される。

【0087】

このように構成された本実施形態8の電流電圧変換回路12Cにおいて、トランジスタM15は、そのゲートに印加される制御電圧Vbias2に応じて抵抗値を制御可能な可変抵抗として動作する。

【0088】

以上のように、本実施形態8の電流電圧変換回路12Cは、差動電流電圧変換回路として動作する。したがって、これを図1（または図3）に示す電流電圧変換部12に適用することによって、本実施形態8のオフセット制御回路8を実現することができる。本実施形態8の電流電圧変換回路12Cでは、制御電圧Vbias2を調整することによって、上記（式13）における電流電圧変換係数Rを調整することができる。よって、本実施形態8のオフセット制御回路8は、オフセット調整機能のみならず、信号の増幅率を変化させることができる可変増幅

器としても機能させることができる。なお、図 1（または図 3）に示す電流電圧変換部 1 2 を図 8 に示すような回路構成としても、上記実施形態 1（または上記実施形態 3）で説明したように、オフセット制御回路 1、3 における高速動作および小面積化が可能であるという効果は何ら失われることはない。

（実施形態 9）

本実施形態 9 では、オフセット調整電流生成部 1 1 の一具体例としてオフセット調整電流生成回路 1 1 A を用いて、オフセット制御回路 9 を実現する場合である。

【0089】

図 9 は、図 1 のオフセット調整電流生成部 1 1 における一具体例を示す回路図である。

【0090】

図 9 において、オフセット調整電流生成部 1 1 A は、バイアス電流源 3 0 7 と、一対のトランジスタ M 1 6 および M 1 7 と、一対のオフセット調整電流出力端子 1 0 1 および 1 0 2 とを有している。

【0091】

バイアス電流源 3 0 7 は、トランジスタ M 1 6 および M 1 7 の各ソースとそれぞれ接続されており、バイアス電流 I_{ofs} が二つに分岐して流れるようになっている。

【0092】

トランジスタ M 1 6 および M 1 7 の各ゲートがそれぞれオフセット調整電流制御端子 1 0 3 および 1 0 4 にそれぞれ接続されており、オフセット調整電流制御端子 1 0 3 および 1 0 4 にオフセット調整電流制御電圧 V_{ofs+} および V_{ofs-} がそれぞれ入力される。また、トランジスタ M 1 6 および M 1 7 の各ドレインがそれぞれオフセット調整電流出力端子 1 0 1 および 1 0 2 にそれぞれ接続されており、オフセット調整電流 I_{ofs+} および I_{ofs-} がそれぞれ流れる。

【0093】

このように構成された本実施形態 9 のオフセット調整電流生成回路 1 1 A において、オフセット調整電流 I_{ofs+} および I_{ofs-} は、オフセット調整電流

制御電圧 V_{ofs+} および V_{ofs-} によってそれぞれの電流量が調整される。

【0094】

このように、オフセット調整電流生成回路 11A を図 1（または図 3）に示すオフセット調整電流生成部 11 に適用することによって、本実施形態 9 のオフセット制御回路 9 を実現することができる。

【0095】

なお、図 1（または図 3）に示すオフセット調整電流生成部 11 を図 9 に示すような回路構成としても、上記実施形態 1（または上記実施形態 3）で説明したように、オフセット制御回路 1、3 における高速動作および小面積化が可能であるという効果は何ら失われることはない。

【0096】

また、本実施形態 9 のオフセット調整電流生成回路 11A において、バイアス電流源 307、トランジスタ M16 および M17 とは逆極性のバイアス電流源 308 およびトランジスタ M18 および M19 を用いて、図 10 に示すようなオフセット調整電流生成回路 11B を構成することも可能である。この場合にも、前述したように、図 1（または図 3）に示すオフセット調整電流生成部 11 を図 10 に示すような回路構成としても、上記実施形態 1（または上記実施形態 3）で説明したように、オフセット制御回路 1、3 における高速動作および小面積化が可能であるという効果は何ら失われることはない。

（実施形態 10）

本実施形態 10 では、オフセット調整電流生成部 11 とは別のデジタル制御可能なオフセット調整電流生成部 13 を用いて、オフセット制御回路 10 を実現する場合である。

【0097】

図 11 は、図 1 のオフセット調整電流生成部 11 とは別の構成例を示す回路図である。

【0098】

図 11 において、オフセット調整電流生成部 13 は、図 1（または図 3）に示すオフセット調整電流生成部 11 のオフセット調整電流制御端子 103 および 1

04の代わりに、 n を自然数として、 n ビットのレジスタ信号から1ビットのレジスタ信号がそれぞれ入力される入力端子（オフセット調整電流制御端子） $113-1 \sim 113-n$ を有している。これらの入力端子 $113-1 \sim 113-n$ から入力される n ビットのレジスタ信号の状態によって、オフセット調整電流 I_{ofs+} および I_{ofs-} を高精度に制御することができる。

【0099】

図12は、図11のオフセット調整電流生成部13の一具体例を示す回路図である。

【0100】

図12において、オフセット調整電流生成部13Aは、 n 個のサブオフセット調整電流生成部 $13-1 \sim 13-n$ を有している。サブオフセット調整電流生成部 $13-1 \sim 13-n$ はそれぞれ、インバータ $14-1 \sim 14-n$ と、バイアス電流源 $309-1 \sim 309-n$ と、一対のトランジスタ $M20-1 \sim M20-n$ および $M21-1 \sim M21-n$ とを有している。

【0101】

バイアス電流源 $309-1$ は、トランジスタ $M20-1$ および $M21-1$ の各ソースとそれぞれ接続されており、トランジスタ $M20-1$ および $M21-1$ の各ソースに二つに分岐してバイアス電流が流れる。また同様に、 n を自然数として、バイアス電流源 $309-n$ は、トランジスタ $M20-n$ および $M21-n$ の各ソースとそれぞれ接続されており、トランジスタ $M20-n$ および $M21-n$ の各ソースに二つに分岐してバイアス電流が流れる。バイアス電流源 $309-1 \sim 309-n$ は、それぞれの電流量に重み付けがされており、それぞれ、 $I_{ofs'}$ 、 $2 \times I_{ofs'}$ 、 \dots 、 $n \times I_{ofs'}$ となっている。

【0102】

トランジスタ $M20-1 \sim M20-n$ の各ゲートはそれぞれ、入力端子 $113-1 \sim 113-n$ にそれぞれ接続されており、入力端子 $113-1 \sim 113-n$ にそれぞれ1ビットのレジスタ信号が入力される。また、入力端子 $113-1 \sim 113-n$ はそれぞれ、インバータ $14-1 \sim 14-n$ をそれぞれ介してトランジスタ $M21-1 \sim M21-n$ の各ゲートにそれぞれ接続されており、トランジ

スタM21-1～M21-nの各ゲートにそれぞれ1ビットのレジスタ信号（オフセット調整電流制御信号）を反転させた信号が入力される。

【0103】

また、トランジスタM20-1～M20-nの各ドレインはオフセット調整電流出力端子101と接続されており、サブオフセット調整電流 $I_{ofs}(1) + \sim I_{ofs}(n) +$ がそれぞれ一括して流れる。また、トランジスタM21-1～M21-nの各ドレインはオフセット調整電流出力端子102と接続されており、サブオフセット調整電流 $I_{ofs}(1) - \sim I_{ofs}(n) -$ がそれぞれ一括して流れる。これによって、オフセット調整電流 $I_{ofs}+$ は $I_{ofs}(1) +$ 、 $I_{ofs}(2) +$ 、 \dots 、 $I_{ofs}(n) +$ を合計した電流量となり、オフセット調整電流 $I_{ofs}-$ は $I_{ofs}(1) -$ 、 $I_{ofs}(2) -$ 、 \dots 、 $I_{ofs}(n) -$ を合計した電流量となる。

【0104】

このように構成された本実施形態10のオフセット調整電流生成回路13Aにおいて、オフセット調整電流を制御するための制御信号であるレジスタ信号は、入力端子113-1～113-nから入力される。例えば、入力端子113-1に入力されるレジスタ信号がHレベルとなった場合、サブオフセット調整電流生成部13-1では、トランジスタM20-1のゲートにHレベルの信号が印加される。また、入力端子113-1のレジスタ信号はインバータ14-1にて反転されてLレベルとなるので、トランジスタM21-1のゲートには、Lレベルの信号が印加される。トランジスタM20-1およびM21-1は共に、ゲートにLレベルの信号が印加されたときにオン状態になるため、トランジスタM20-1はオフ状態になって $I_{ofs}(1) +$ は流れず、トランジスタM21-1はオン状態となって $I_{ofs}(1) -$ が流れ出す。

【0105】

一方、入力端子113-1に入力されるレジスタ信号がLレベルとなった場合には、トランジスタM20-1のゲートにLレベルの信号が印加される。また、入力端子113-1のレジスタ信号はインバータ14-1にて反転されてHレベルとなるので、トランジスタM21-1のゲートには、Hレベルの信号が印加さ

れる。よって、トランジスタM20-1がオン状態となって $I_{ofs}(1) +$ が流れ出し、トランジスタM21-1はオフ状態となって $I_{ofs}(1) -$ は流れない。

【0106】

このように、入力端子113-1に入力されるレジスタ信号の状態によって、サブオフセット調整電流生成部13-1において $I_{ofs}(1) +$ および $I_{ofs}(1) -$ のいずれか一方が流れる。電流 $I_{ofs}(1) +$ および $I_{ofs}(1) -$ が流れるときの電流値は、バイアス電流 I_{ofs}' に等しい。

【0107】

同様に、入力端子113-2～113-nから入力されるレジスタ信号の状態によって、トランジスタM20-2～M20-nがオン／オフ制御されて $I_{ofs}(2) +$ 、 \dots 、 $I_{ofs}(n) +$ が設定され、トランジスタM21-2～M21-nがオン／オフ制御されて $I_{ofs}(2) -$ 、 \dots 、 $I_{ofs}(n) -$ が設定される。

【0108】

このとき、電流組($I_{ofs}(1) +$ 、 $I_{ofs}(1) -$)、($I_{ofs}(2) +$ 、 $I_{ofs}(2) -$)、 \dots 、($I_{ofs}(n) +$ 、 $I_{ofs}(n) -$)は、いずれか一方が流れると、他方は流れないようにになっている。

【0109】

レジスタ信号はnビットからなり、レジスタ信号が全てLレベルである場合(LL \dots L)からレジスタ信号が全てHレベルである場合(HH \dots H)まで、n通りのレジスタ信号がある。

【0110】

レジスタ信号が全てLレベルである場合には、トランジスタM20-1～M20-nが全てオン状態となってオフセット調整電流 $I_{ofs} +$ が流れ、オフセット調整電流 $I_{ofs} +$ の電流量は最大となる。このとき、トランジスタM21-1～M21-nは全てオフ状態となってオフセット調整電流 $I_{ofs} -$ は流れない。

【0111】

また、レジスタ信号が全てHレベルである場合には、トランジスタM21-1～M21-nが全てオン状態となってオフセット調整電流Iofs-が流れ、オフセット調整電流Iofs-の電流量は最大となる。このとき、トランジスタM20-1～M20-nは全てオフ状態となってオフセット調整電流Iofs+は流れない。

【0112】

また、レジスタ信号が全てがLレベルまたは全てHレベルでない場合には、nビットのレジスタ信号のうち、Lレベルとなっているレジスタ信号の個数だけトランジスタM20-1～M20-nがON状態となり、それに応じてIofs(1)+、Iofs(2)+、・・・、Iofs(n)+が流れ出し、その合計値がオフセット調整電流Iofs+の電流値となる。また、nビットのレジスタ信号のうち、Hレベルとなっているレジスタ信号の個数だけトランジスタM21-1～M21-nがON状態となり、それに応じてIofs(1)-、Iofs(2)-、・・・、Iofs(n)-が流れ出し、その合計値がオフセット調整電流Iofs-の電流値となる。

【0113】

以上のように、本実施形態10のオフセット調整電流生成回路13Aは、差動電流を出力するDA変換器として動作し、オフセット調整電流Iofs+およびIofs-は、nビットのレジスタ信号によってIofs+/nまたはIofs-/n刻みの精度で調整することが可能となる。また、本実施形態10によれば、オフセット調整電流生成部13がnビットのDA変換器として構成されており、オフセット調整量をデジタル回路にて制御することができるため、より多彩なオフセット調整を容易に実現することができる。

【0114】

また、図12に示すオフセット調整電流生成回路13Aにおいて、レジスタ信号のビット数nを多くすることによって、電流調整の精度を高くすることができる。なお、図11のオフセット調整電流生成部13を図12に示すような回路構成としても、上記実施形態1（または上記実施形態3）で説明したように、オフセット制御回路1、3における高速動作および小面積化が可能であるという効果は

何ら失われることはない。

【0115】

なお、本実施形態10のオフセット調整電流生成回路13Aにおいて、バイアス電流源309-1～309-n、トランジスタM20-1～M20-nおよびM21-1～M21-nとは逆極性のバイアス電流源310-1～310-n、トランジスタM22-1～M22-nおよびM23-1～M23-nを用い、インバータ14-1～14-nの接続方向を変えたインバータ15-1～15-nを設けて、図13に示すようなオフセット調整電流生成回路13Bを構成することも可能である。図11のオフセット調整電流生成部13を図13に示すような回路構成としても、上記実施形態1（または上記実施形態3）で説明したように、オフセット制御回路1、3における高速動作および小面積化が可能であるという効果は何ら失われることはない。

【0116】

【発明の効果】

以上のように、本発明によれば、差動入力電圧（ V_{IN+} 、 V_{IN-} ）の電位差に比例する差動出力電流（ I_+ 、 I_- ）が出力される電圧電流変換部の差動電流出力端子と、オフセット調整電流（ I_{ofs+} 、 I_{ofs-} ）が出力されるオフセット調整電流生成部のオフセット調整電流出力端子と、差動端子間の電位差に比例する差動入出力電流（ I_r ）が入出力される電流電圧変換部の差動端子とを互いに接続することにより、差動入力電圧信号（ V_{IN+} 、 V_{IN-} ）にオフセット電圧（ V_{off+} 、 V_{off-} ）が含まれていても、そのオフセット電圧をオフセット調整電流（ I_{ofs+} 、 I_{ofs-} ）によって調整して、差動入力電圧信号（ V_{IN+} 、 V_{IN-} ）にオフセット電圧に応じたオフセット調整信号を加えた差動出力電圧信号（ V_{O+} 、 V_{O-} ）を生成することができる。

【0117】

この場合の差動入力電圧へのオフセット調整信号の加算は、差動入力電圧を差動出力電流（ I_+ 、 I_- ）に変換した後にオフセット調整電流（ I_{ofs+} 、 I_{ofs-} ）を電流加算するため、オフセット電圧調整を高速に行うことができる。また、従来のオフセット制御回路のように演算増幅器を必要としないため、回

路規模の小型化を図ることができる。また、差動信号処理を行うことにより、ノイズに強く、信号の歪みも生じにくくなり、高精度の信号処理を行うことができる。

【0118】

また、オフセット調整電流生成部を n ビットのDA変換器にて構成することによって、オフセット調整量の制御幅をデジタル制御にて設定することができ、オフセット調整の精度を高めることができる。

【図面の簡単な説明】

【図1】

本発明のオフセット制御回路の実施形態1における構成例を示すブロック図である。

【図2】

図1の電圧電流変換部の一具体例を示す回路図である。

【図3】

本発明のオフセット制御回路の実施形態3における構成例を示す回路図である。

【図4】

図1の電圧電流変換部における他の具体例を示す回路図である。

【図5】

図1の電圧電流変換部における更に他の具体例を示す回路図である。

【図6】

図1の電流電圧変換部における一具体例を示す回路図である。

【図7】

図1の電流電圧変換部における他の具体例を示す回路図である。

【図8】

図1の電流電圧変換部における更に他の具体例を示す回路図である。

【図9】

図1のオフセット調整電流生成部における一具体例を示す回路図である。

【図10】

図 1 のオフセット調整電流生成部における他の具体例を示す回路図である。

【図 1 1】

図 1 のオフセット調整電流生成部とは別の構成例を示す回路図である。

【図 1 2】

図 1 1 のオフセット調整電流生成部における一具体例を示す回路図である。

【図 1 3】

図 1 1 のオフセット調整電流生成部における他の具体例を示す回路図である。

【図 1 4】

従来のオフセット制御回路の回路図である。

【符号の説明】

- 1 ～ 1 0 オフセット制御回路
- 1 0 電圧電流変換部
- 1 0 A ～ 1 0 D 電圧電流変換回路
- 1 1 オフセット調整電流生成部
- 1 1 A, 1 1 B, 1 3, 1 3 A, 1 3 B オフセット調整電流生成部
- 1 2 電流電圧変換部
- 1 2 A ～ 1 2 C 電流電圧変換回路
- 1 3 - 1 ～ 1 3 - n サブオフセット調整電流生成部
- 1 4 - 1 ～ 1 4 - n, 1 5 - 1 ～ 1 5 - n インバータ
- 1 0 1, 1 0 2 オフセット調整電流出力端子
- 1 0 3, 1 0 4 オフセット調整電流制御端子
- 1 0 5, 1 0 6 差動電流出力端子
- 1 0 7, 1 0 8 差動端子
- 1 0 9, 1 1 0 差動電圧入力端子
- 1 1 1 制御端子
- 1 1 2 入出力電流制御端子
- 1 1 3 - 1 ～ 1 1 3 - n レジスタ信号入力端子
- 1 1 5, 1 1 6 差動電圧出力端子
- 3 0 1, 3 0 2, 2 0 7, 3 0 8, 3 0 9 - 1 ～ 3 0 9 - n, 3 1 0 - 1, 1

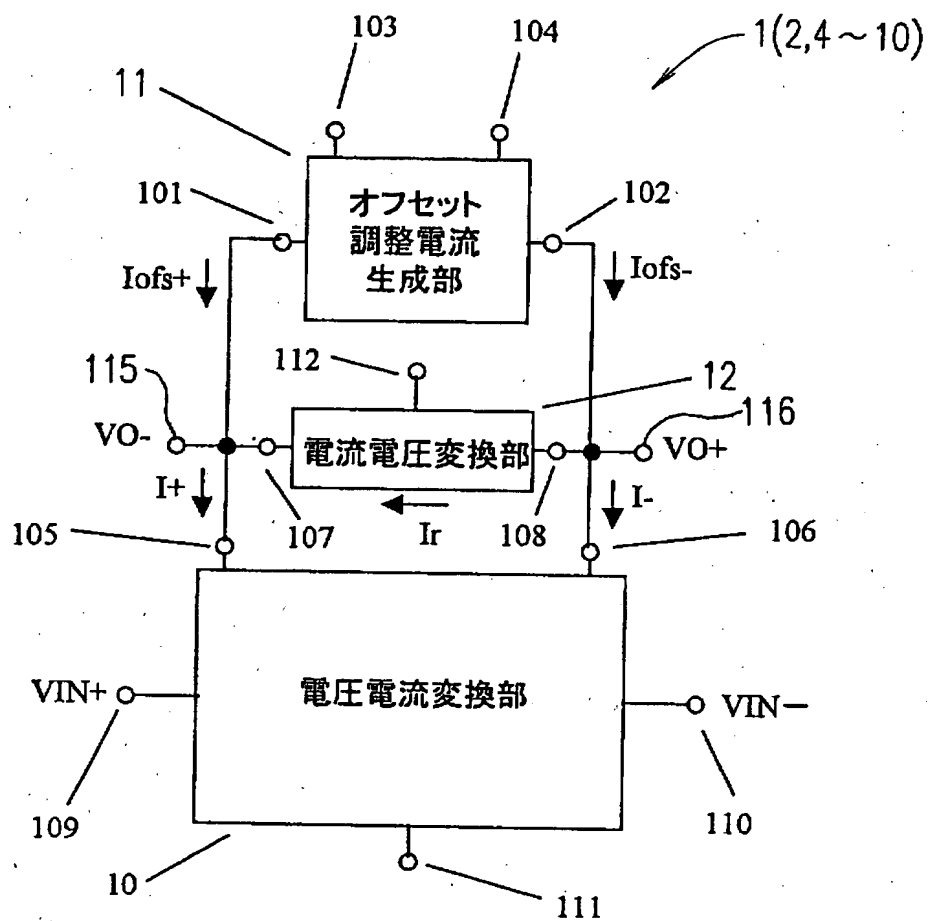
0-n バイアス電流源

M1~M19, M20-1~M20-n, M21-1~M21-n, M22-1~M22-n, M23-1~M23-n トランジスタ

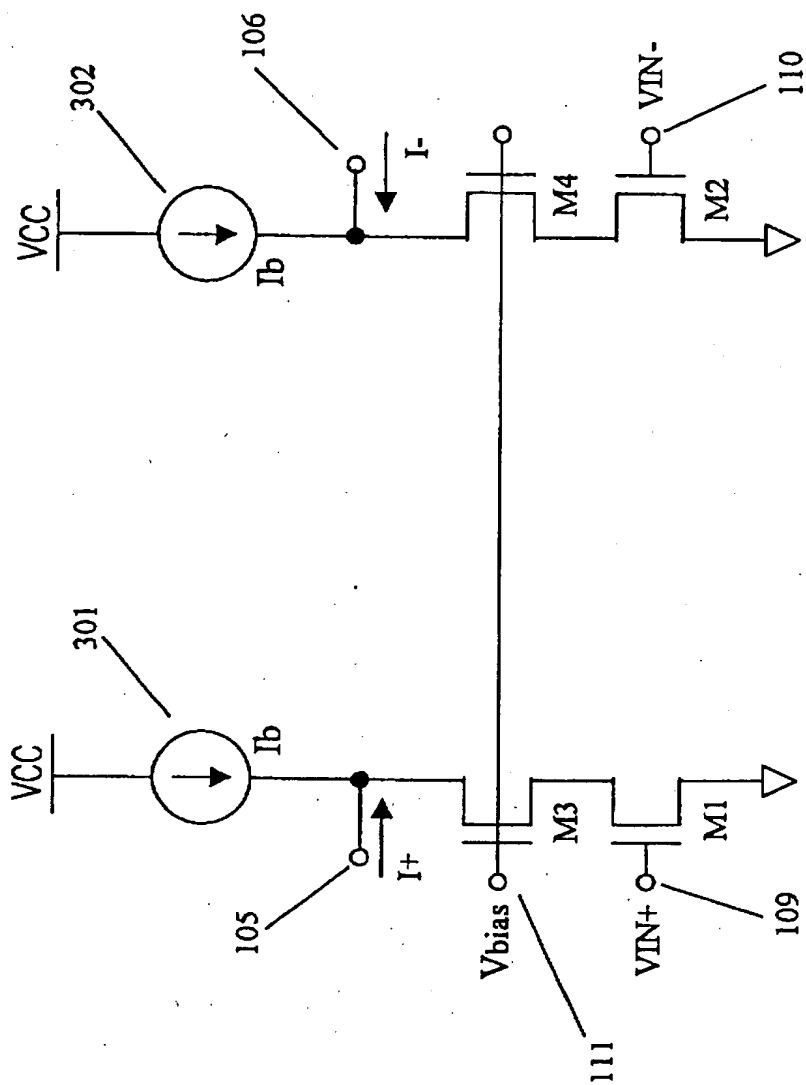
R1~R4 抵抗

【書類名】 図面

【図 1】

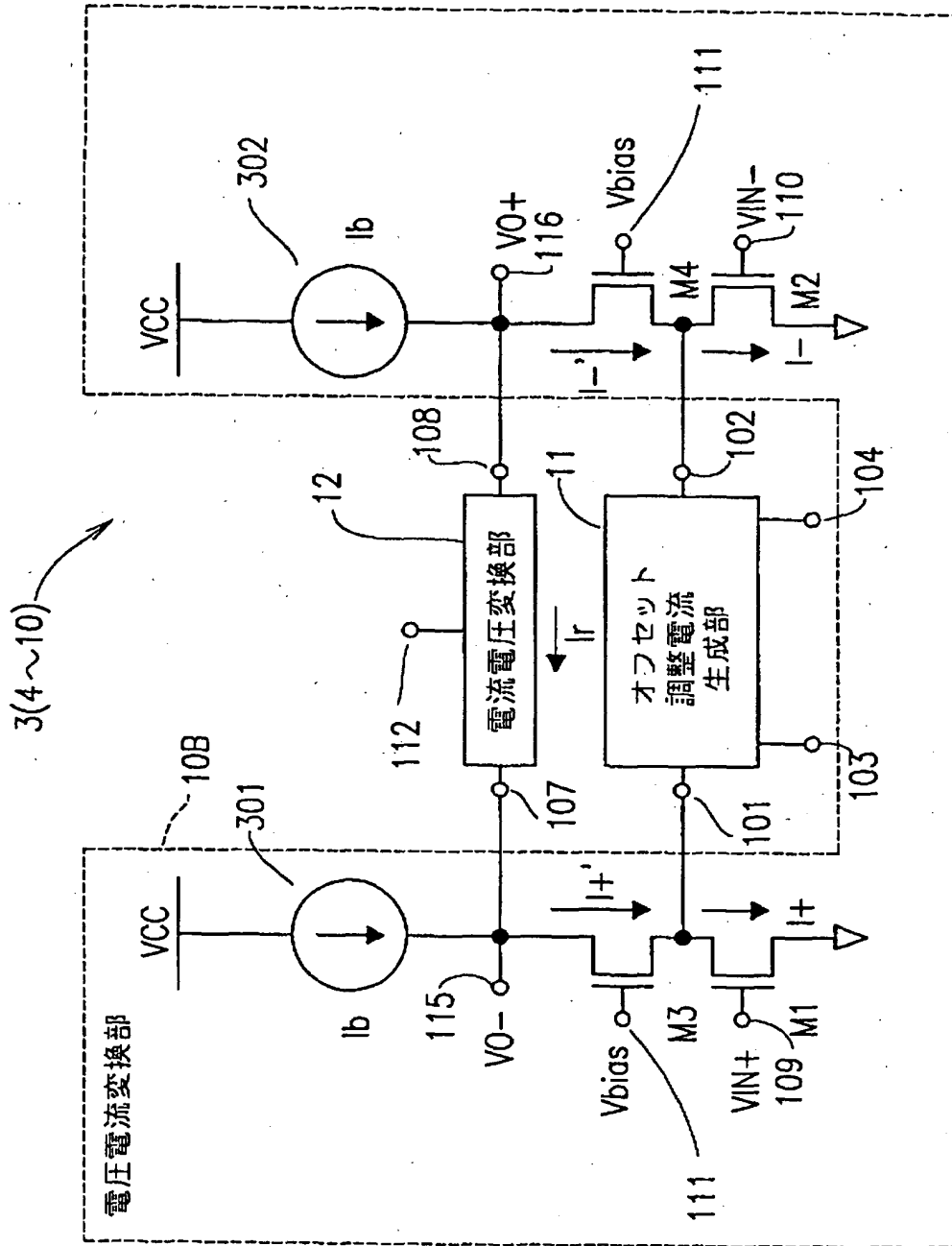


【図 2】

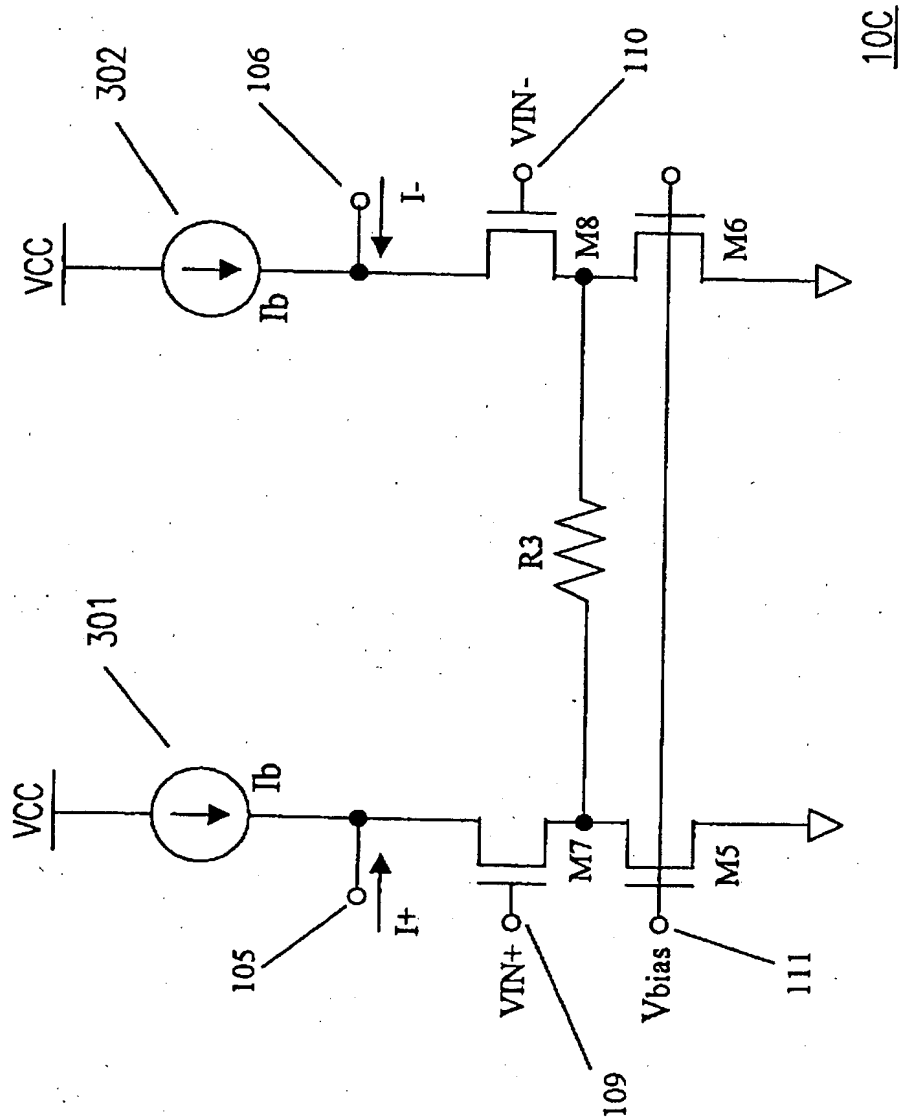


10A

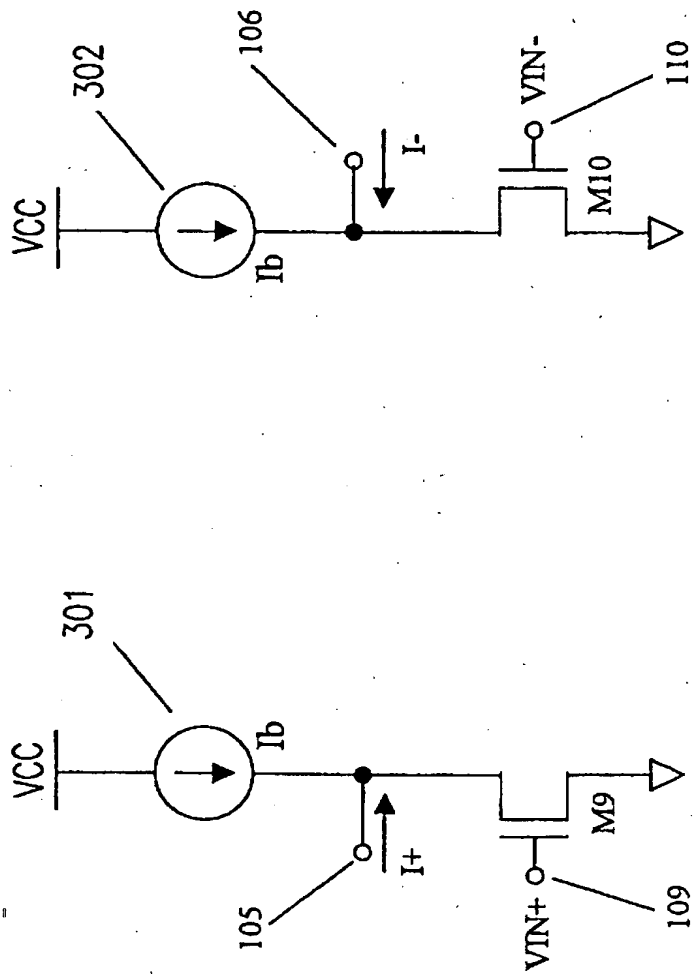
【図3】



【図4】

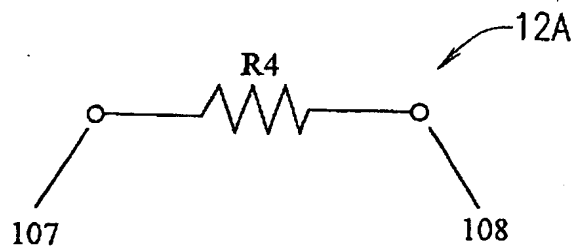


【図 5】

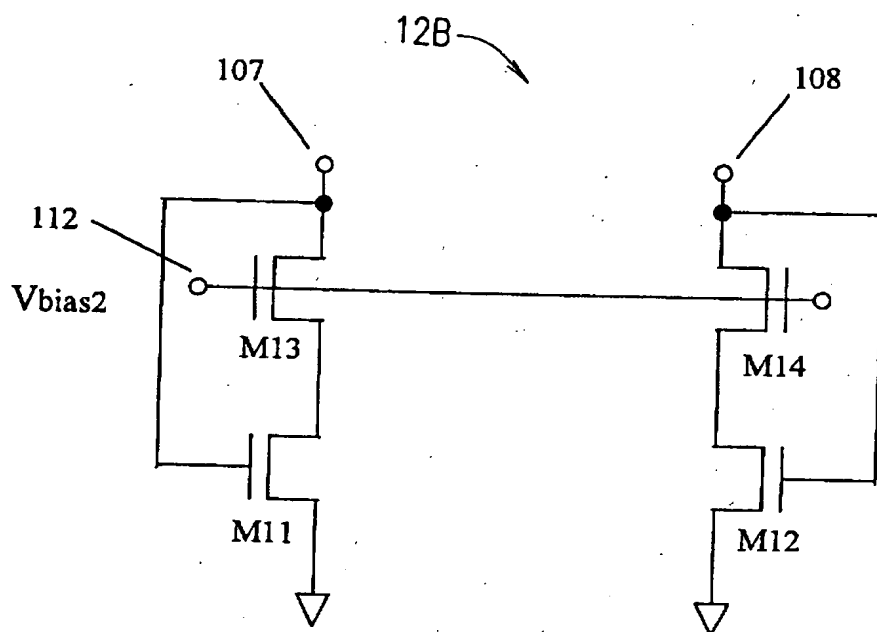


100

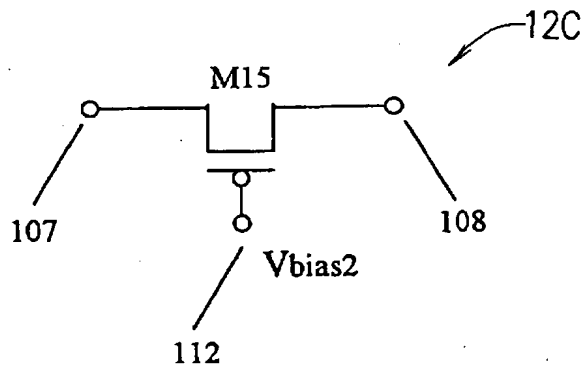
【図 6】



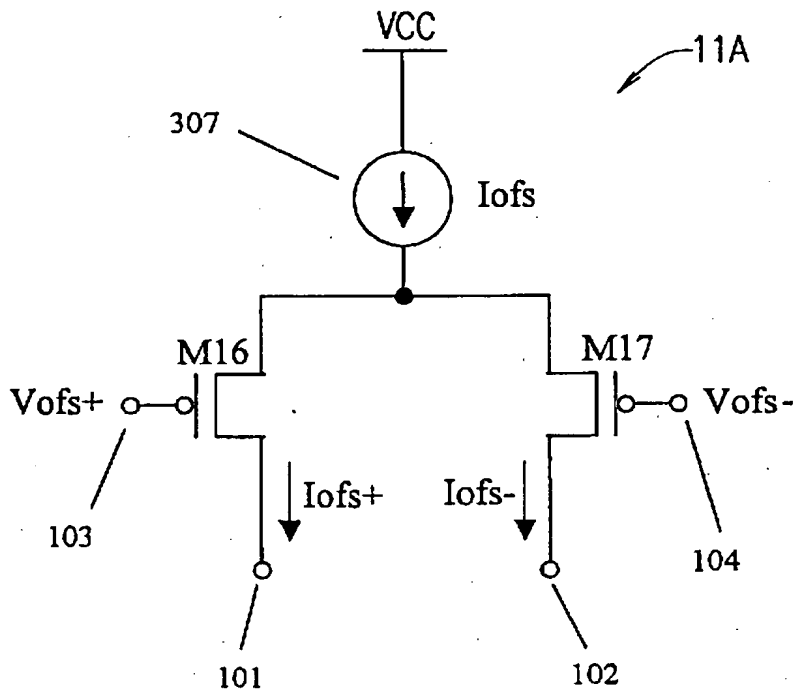
【図 7】



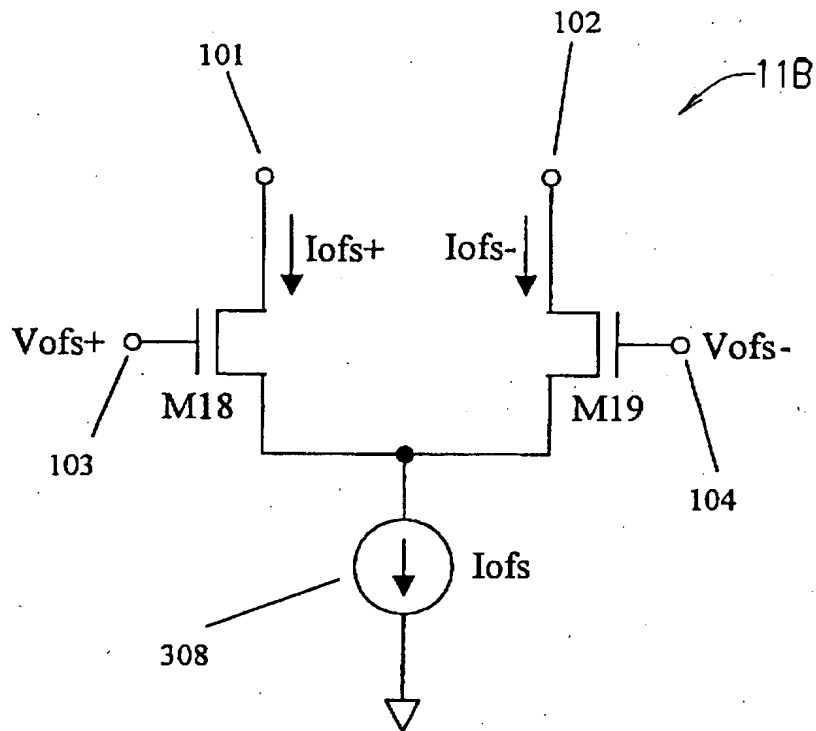
【図 8】



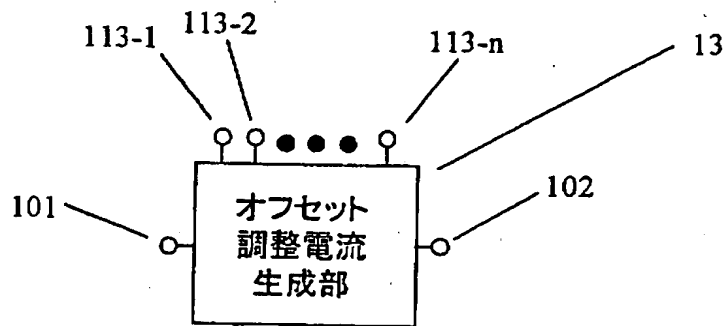
【図 9】



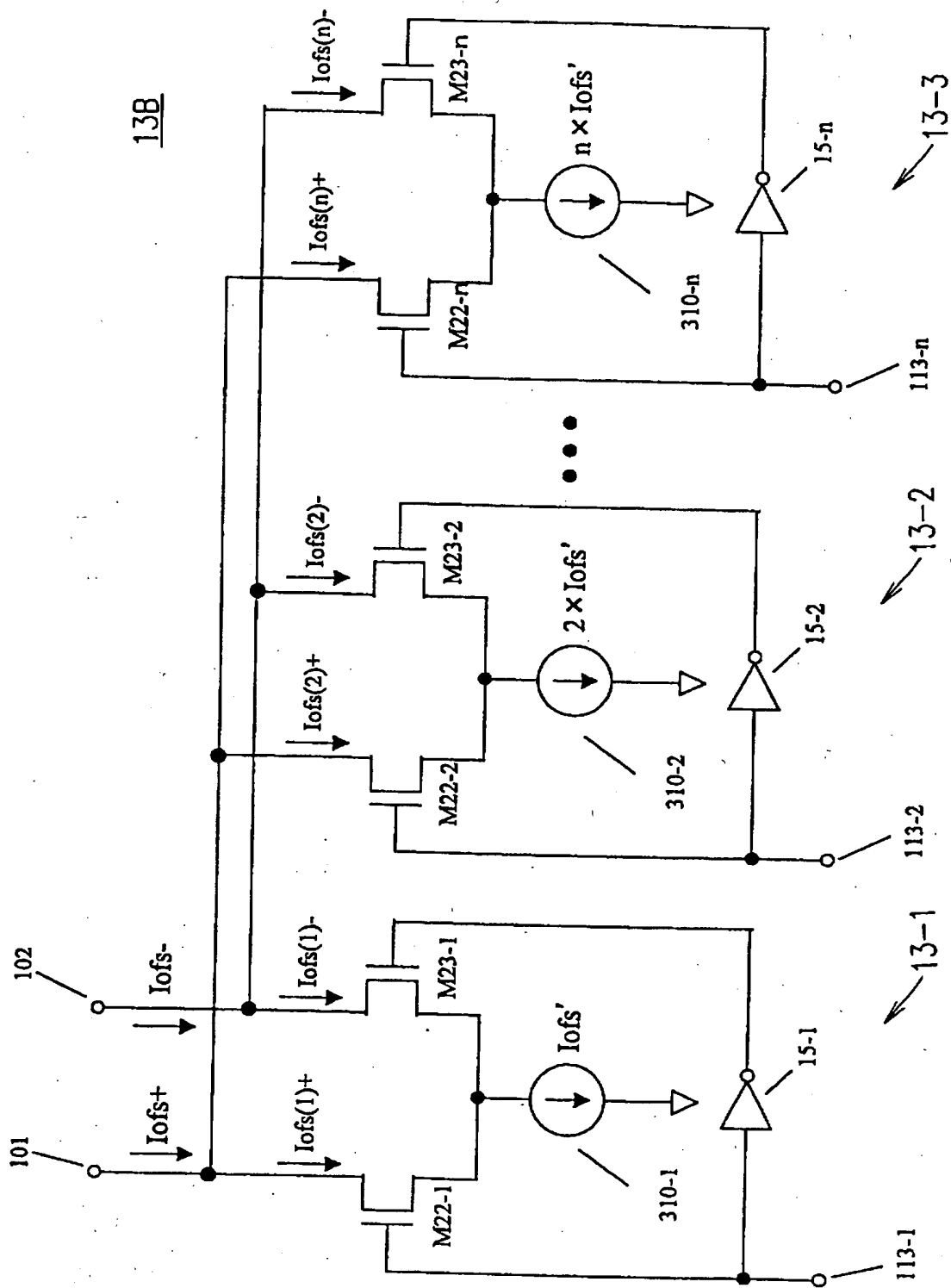
【図 10】



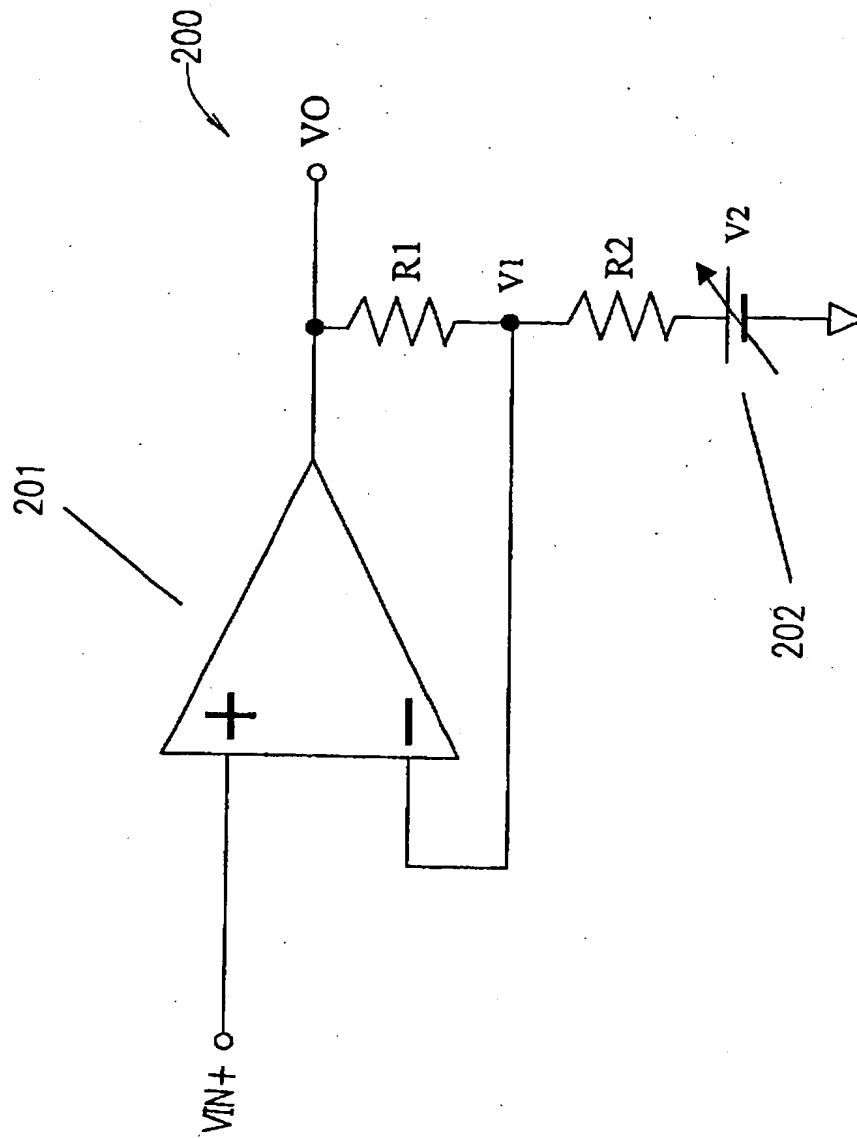
【図 11】



【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 高速動作が可能で、歪み特性の劣化による信号品質の低下を防ぎ、オフセット調整を精度よく行うことができるオフセット制御回路を提供する。

【解決手段】 電圧電流変換部 1 0 は差動入力電圧信号 (V_{IN+} 、 V_{IN-}) の電位差に比例する差動電流 (I_{+} 、 I_{-}) を生成し、オフセット調整電流生成部 1 2 はオフセット調整電流 (I_{ofs+} 、 I_{ofs-}) を生成し、電流電圧変換部 1 1 では差動端子 1 0 7、1 0 8 間の電位差に比例する電流 (I_r) が流れる。差動電流出力端子 1 0 5、1 0 6 と、オフセット調整電流出力端子 1 0 1、1 0 2 と、差動端子 1 0 7、1 0 8 は接続されている。差動入力電圧信号 (V_{IN+} 、 V_{IN-}) に含まれるオフセット成分は、オフセット調整電流 (I_{ofs+} 、 I_{ofs-}) で調整され、差動入力電圧信号 (V_{IN+} 、 V_{IN-}) にオフセット成分を加えた差動出力電圧信号 (V_{O+} 、 V_{O-}) が生成される。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2002-185363
受付番号	50200929957
書類名	特許願
担当官	第七担当上席 0096
作成日	平成 14 年 6 月 26 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000005821
【住所又は居所】	大阪府門真市大字門真 1006 番地
【氏名又は名称】	松下電器産業株式会社

【代理人】

申請人

【識別番号】	100078282
【住所又は居所】	大阪府大阪市中央区城見 1 丁目 2 番 27 号 クリスタル タワー 15 階

【氏名又は名称】	山本 秀策
----------	-------

【選任した代理人】

【識別番号】	100062409
【住所又は居所】	大阪府大阪市中央区城見 1 丁目 2 番 27 号 クリ スタルタワー 15 階 山本秀策特許事務所

【氏名又は名称】	安村 高明
----------	-------

【選任した代理人】

【識別番号】	100107489
【住所又は居所】	大阪府大阪市中央区城見一丁目 2 番 27 号 クリスタル タワー 15 階 山本秀策特許事務所

【氏名又は名称】	大塩 竹志
----------	-------

